

STICANJE PRAKTIČNIH ZNANJA IZ PROJEKTOVANJA INTEGRISANIH KOLA KORIŠĆENJEM SOFTVERSKOG PAKETA CADENCE ZA POTREBE KOMPANIJA

Mirjana Damnjanović¹, Milica Kisić², Kristina Nikolić³, Aleksa Bu⁴

^{1,2,3,4}Univerzitet u Novom Sadu, Fakultet tehničkih nauka, Novi Sad, Srbija

¹mirad@uns.ac.rs, ²mkisic@uns.ac.rs, ³kristinanikolic@uns.ac.rs, ⁴aleksa.bu@uns.ac.rs

Kratak sadržaj: Da bi omogućili studentima da steknu što više praktičnih znanja iz projektovanja integrisanih kola, u nastavi, za više predmeta na osnovnim i master akademskim studijama studijskog programa Energetika, elektronika i telekomunikacije, na Fakultetu tehničkih nauka, Univerzitet u Novom Sadu, se koristi softverski paket Cadence. Ovaj paket predstavlja standardni alat u kompanijama koje se bave projektovanjem integrisanih kola. Prvi predmet koji studenti pohađaju je Mikro i nano elektronika, u letnjem semestru treće godine osnovnih akademskih studija. Nakon toga, u zavisnosti od izabrane studijske grupe, studenti imaju mogućnost da odaberu Računarsko projektovanje digitalnih integrisanih kola, Računarsko projektovanje analognih integrisanih kola i Napredne tehnike projektovanja mikroelektronskih kola. Studenti kroz teorijsku i praktičnu nastavu imaju mogućnost da nauče osnovne metode projektovanja digitalnih integrisanih kola i da lakše započnu svoju profesionalnu karijeru u kompanijama. Imajući u vidu atraktivnost ove oblasti, veliki broj studenata bira da praksu odradi upravo u kompanijama koje se bave ovom vrstom projektovanja.

Ključne reči: Projektovanje integrisanih kola / Cadence / Sticanje praktičnih znanja

ACQUIRING PRACTICAL KNOWLEDGE IN DESIGNING INTEGRATED CIRCUITS USING CADENCE SOFTWARE PACKAGE TO MEET COMPANY NEEDS

Abstract: In order to enable students to acquire as much practical knowledge as possible in the design of integrated circuits, the CADENCE software package is used in classes for several subjects at the undergraduate and master academic studies in Power, Electronics and Telecommunication Engineering at the Faculty of Technical Sciences, University of Novi Sad. This package is a standard tool in integrated circuit design companies. The first course that students attend is Micro and Nano Electronics, in the summer semester of the third year of academic studies. After that, depending on the chosen study group, students can choose Computer Design of Digital Integrated Circuits, Computer Design of Analog Integrated Circuits and Advanced Microelectronic Circuit Design Techniques. Through theoretical and practical teaching, students have the opportunity to learn the basic methods of designing digital integrated circuits. In that manner, they can start their professional career in companies. Considering the field actuality, students majority choose to do their internship in companies that deal with this type of design.

Key Words: Design of integrated circuits / Cadence / acquiring practical knowledge

1. UVOD

Prema novoj akreditaciji iz 2020. godine, studijski program Energetika, elektronika i telekomunikacije je još više unapređen da bi zadovoljio potrebe kompanija koje zapošljavaju studente iz naše oblasti. Jedna od atraktivnih oblasti koje pokrивamo na Fakultetu tehničkih nauka iz Novog Sada je i projektovanje integrisanih kola.

Kompanije iz Srbije, ili kompanije sa predstavništvima u Srbiji, koje se bave projektovanjem integrisanih kola, uslužno projektuju integrisana kola za velike, svetki poznate proizvođače čipova. Pri tome koriste softverski paket Cadence [1], koji je industrijski standard. Cadence se zbog toga koristi u nastavi i na Fakultetu tehničkih nauka.

Veliki broj zaposlenih u ovim kompanijama u Novom Sadu su naši bivši studenti, koji su svoja početna znanja iz ove oblasti stekli na našim predmetima. Prvi predmet koji studenti pohađaju je Mikro i nano elektronika, u letnjem semestru treće godine osnovnih akademskih studija na smeru Mikroročunarska elektronika. Nakon toga, u zavisnosti od izabrane studijske grupe, studenti imaju mogućnost da odaberu Računarsko projektovanje digitalnih integrisanih kola, Računarsko projektovanje analognih integrisanih kola i Napredne tehnike projektovanja mikroelektronskih kola.

U okviru predmeta „Mikro i nano elektronika” studenti stižu znanja iz oblasti mikroelektronskih tehnologija, osnovnih metoda dobijanja masivnih i tankoslojnih monokristala i planarnih operacija koje se vrše pri izradi integrisanih kola, [2]. Nakon toga, poseban osvrt je na projektovanju logičkih kola u CMOS tehnologiji. Studenti se u okviru ovog kursa upoznaju sa pravilima projektovanja u softverskom alatu Cadence i načinom projektovanja maski jednostavnih integrisanih kola CAD softverskim alatom.

Predmet „Računarsko projektovanje digitalnih integrisanih kola” je specijalizovani kurs, koji omogućava

studentima sticanje znanja iz oblasti projektovanja digitalnih integrisanih kola uz pomoć računara, uz puno praktičnih primera [3]. U ovom radu će biti opisan sadržaj ovog predmeta i metode izvođenja nastave.

2. METODE IZVOĐENJA NASTAVE

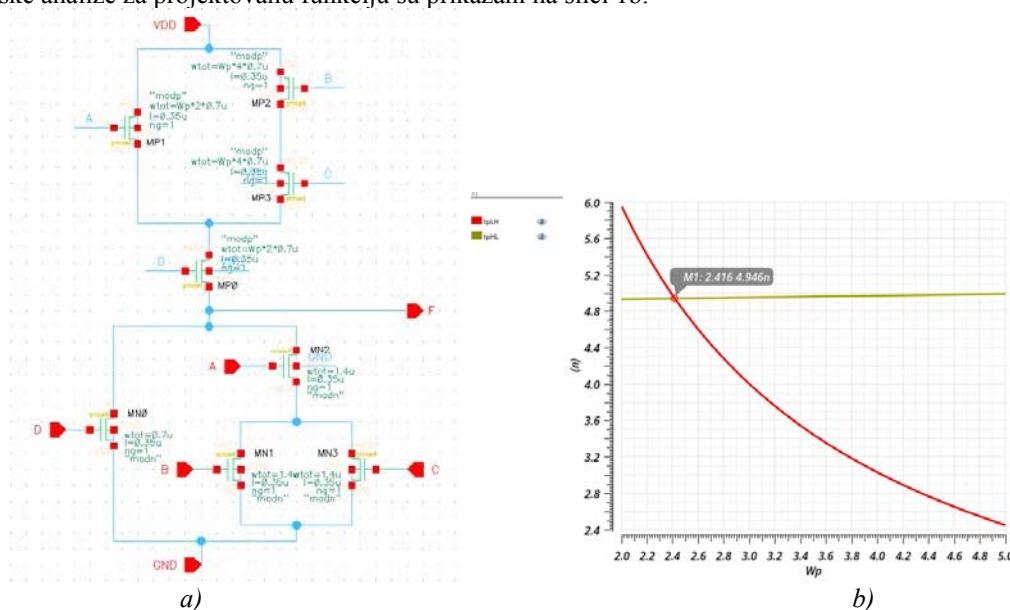
Fond časova aktivne nastave nedeljno je: 3 časa predavanja i 2 časa laboratorijskih vežbi. Laboratorijske vežbe se, u stvari, izvode u računarskim laboratorijama u kojima su računari sa instaliranim softverskim paketom Cadence [1]. Cadence je instaliran na određenom broju računara, u skladu sa edukativnom licencom koju ima Fakultet tehničkih nauka. Licenca koju ima FTN je dobijena preko organizacije Europractice, kao i na većini evropskih univerziteta.

Laboratorijske (računarske) vežbe su obavezne. Studenti, svako za svojim računarom, prate uputstva za rad i izvršavaju pojedine korake u procesu projektovanja integrisanih kola. Nakon što odslušaju određene celine, studenti rade dva laboratorijska kolokvijuma. U ovom radu, kao ilustracija, biće prikazane dve laboratorijske vežbe, uz naglasak na to koja znanja stiču studenti.

Računarske vežbe 2 i 3 prikazuju projektovanje proizvoljne složene četvoroulazne funkcije u 0,35 μm AMS tehnologiji (eng. Austria Micro System), korišćenjem alata Virtuoso programskog paketa Cadence. Studenti najpre projektuju šematik željene funkcije pomoću pomenutog alata, a zatim vrše proračunavanje širina kanala NMOS i PMOS tranzistora kako bi se podesila približno ista otpornost od izlaza ka masi i ka naponu napajanja. Šematik sa proračunatim dimenzijama NMOS i PMOS tranzistora za četvoroulaznu funkciju $F = A \cdot (B + C) + D$ je prikazan na slici 1a.

Nakon toga studenti projektuju šematik test kola koje služi za tesitranje rada projektovane funkcije. Iz projektovanog test kola se mogu pokrenuti željene analize (na ovim računarskim vežbama koristi se tranzijentna analiza).

Studenti se, takođe, upoznaju i sa korišćenjem kalkulatora u sklopu prozora za analize, koji nudi brojne mogućnosti, kao što je određivanje vremena kašnjenja rastuće (t_{pLH}) i opadajuće ivice (t_{pHL}) izlaznog signala. Zadatak na ovim vežbama je podesiti da pomenuta vremena kašnjenja budu jednaka, pa se studenti upoznaju i sa parametarskom analizom, pomoću koje menjaju širinu kanala PMOS tranzistora, koja je prethodno postavljena kao promenljiva veličina, kako bi se odredile optimalne dimenzije koje obezbeđuju jednakost ovih vremena. Rezultati parametarske analize za projektovanu funkciju su prikazani na slici 1b.



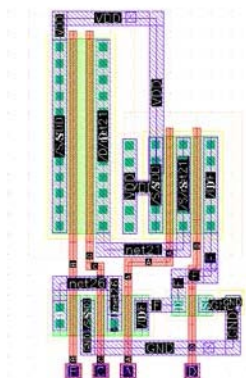
Slika 1. Projektovanje složene četvoroulazne funkcije $F = A \cdot (B + C) + D$ u 0,35 μm AMS tehnologiji korišćenjem alata Virtuoso programskog paketa Cadence: (a) šematik projektovane četvoroulazne funkcije, (b) rezultati parametarske analize

Nakon određivanja optimalnih dimenzija tranzistora, projektuje se ležaut složene funkcije, praćen sledećim analizama:

- DRC (eng. *Design Rule Check*), kojom se proveravaju unapred definisana tehnološka pravila i
- LVS (eng. *Layout Versus Schematic*), kojom se proverava da li projektovani ležaut odgovara šematičku.

Na primer, projektovani ležaut za složenu četvoroulaznu funkciju $F = A \cdot (B + C) + D$, u 0,35 μm AMS tehnologiji, prikazan je na slici 2. Posle uspešnih analiza studenti se upoznaju sa ekstrakcijom parazitnih kapacitivnosti i otpornosti u projektovanom ležautu, nakon čega je moguće pokrenuti simulacije na nivou ležauta sa parazitnim

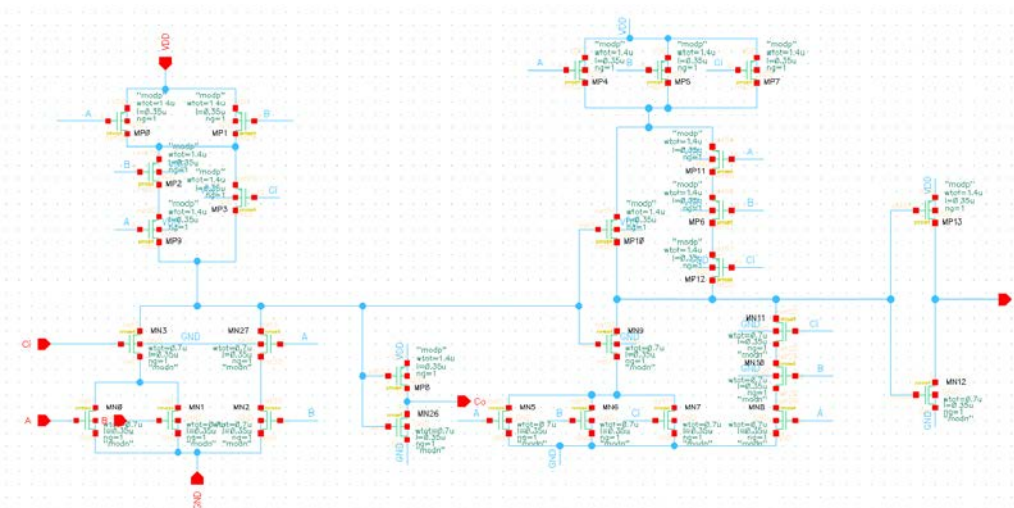
elementima (postlejt aut simulacije) i uporediti željene rezultate sa simulacijama na nivou šematika.



Slika 2. Primer leajuta projektovane funkcije $F = A \cdot (B + C) + D$

Studenti kojima je ova oblast zanimljiva, imaju mogućnost da urade i završni rad iz ove oblasti, kao i da urade praksu u nekoj od kompanija koje se bave projektovanjem integrisanih kola. U tom slučaju, studenti se upoznaju sa dodatnim analizama koje se veoma važne u procesu projektovanja kola.

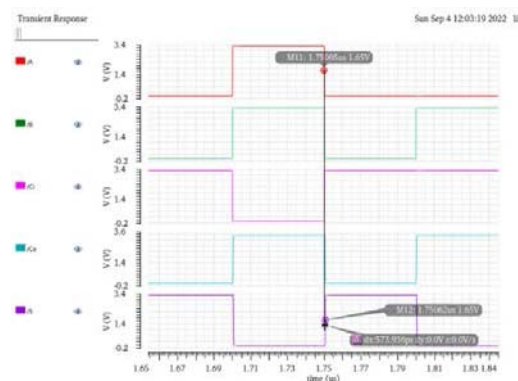
Na primer, u diplomskom radu [4] urađeno je poređenje različitih konfiguracija potpunih sabirača u $0.35 \mu\text{m}$ tehnologiji. Posmatrane su četiri različite konfiguracije sabirača: CMOS potpuni sabirač u standardnoj komplementarnoj logici, LEAP potpuni sabirač, potpuni sabirač sa transmissionim kolima i SERF sabirač. Za svaku od konfiguracija je prvo odrađeno projektovanje na nivou šematika (slika 3), a nakon toga i projektovanje na nivou leajuta.



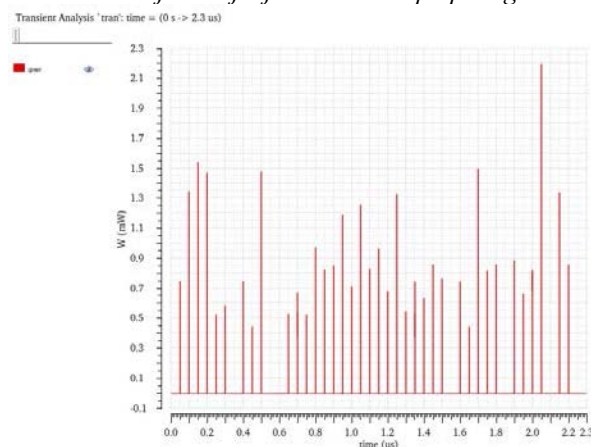
Slika 3. Šematik potpunog CMOS sabirača u komplementarnoj logici u $0.35 \mu\text{m}$ tehnologiji (širina i dužina NMOS tranzistora su $W_n = 0.7 \mu\text{m}$, $L_n = 0.35 \mu\text{m}$, širina i dužina PMOS tranzistora su $W_p = 1.4 \mu\text{m}$, $L_p = 0.35 \mu\text{m}$)

Nakon uspešno završenog projektovanja, potrebno je uraditi simulacije za posmatrana kola. Testira se funkcionalnost kola, kao i njihova brzina (kašnjenje) i potrošnja. Za verifikaciju funkcionalnosti kola korišćene su sve moguće kombinacije ulaznih signala. Za određivanje brzine rada kola određuje se kašnjenje za sve tranzicije od interesa (slika 4), a za potrošnju nasumična kombinacija ulaznih signala u određenom vremenskom opsegu (slika 5).

Dodatno, simulacije se obično rade za različite vrednosti napona napajanja i različite vrednosti kapacitivnosti kapacitivnog opterećenja na izlazu kola, da bi se ispitalo ponašanje kola u različitim uslovima rada. Ukoliko je zadatak diplomskog rada da se analizira više topologija, tada se vrši poređenje kola po posmatranim parametrima. Izbor optimalne konfiguracije zavisi od konkretne primene, ali se standardno rešenje u CMOS komplementarnoj logici pokazalo kao najpouzdanije.



Slika 4. Merenje kašnjenja kod CMOS potpunog sabirača



Slika 5. Merenje potrošnje kod CMOS potpunog sabirača

3. ZAKLJUČAK

Kompanije koje se bave projektovanjem integrisanih kola postaju sve brojnije i veće u Novom Sadu kao IT centru Srbije, ali i u celoj Srbiji. Postoji sve veća potreba za kadrovima koji imaju odgovarajuća znanja i veštine iz ove oblasti. Kursevi koji su unapređeni po novoj akreditaciji, omogućavaju studentima smera Mikroracunarska elektronika studijskog programa Energetika, elektronika i telekomunikacije, da steknu osnovna znanja iz projektovanja integrisanih kola, u okviru predmeta Mikro i nano elektronika. Ukoliko im je ova oblast elektronike zanimljiva, imaju mogućnost da kroz izbor studijske grupe Mikro i nano elektronika, steknu dublja znanja. Takođe, moguće je da svoja osnovna znanja prošire pohađanjem izbornog predmeta Računarsko projektovanje digitalnih integrisanih kola, čak i ako izaberu neku drugu studijsku grupu (Primenjena elektronika ili Embedded sistemi i algoritmi).

Kompanije koje se bave projektovanjem su prepoznale Fakultet tehničkih nauka kao pouzdanog partnera i omogućavaju na različite načine da se naši studijski programi dalje unapređuju, kroz podršku studentskim takmičenjima, omogućavanje izrade stručnih praksi, projekata i diplomskih radova.

ZAHVALNICA

Ovaj rad je podržan od strane Fakulteta tehničkih nauka u Novom Sadu, Departmana za energetiku elektroniku i telekomunikacije, u okviru realizacije projekta pod nazivom: "Istraživanja u cilju unapređenja nastavnog procesa i razvoja naučno-stručnih oblasti Departmana za energetiku, elektroniku i telekomunikacije"

4. LITERATURA

- [1] Internet stranica https://www.cadence.com/en_US/home.html
- [2] Ljiljana Živanov, Goran Stojanović, *Mikroelektronika sa primerima i zadacima*, Edicija: Posebna izdanja, FTN Izdavaštvo, Novi Sad, 2005.
- [3] Mirjana Damjanović, Jelena Radić, *Računarsko projektovanje digitalnih integrisanih kola*, Edicija: Tehničke nauke – Udžbenici, Broj 572, FTN Izdavaštvo, Novi Sad, 2016.
- [4] Aleksa Bu, *Poređenje različitih konfiguracija sabirača u 0.35 μ m tehnologiji*, diplomski rad, Fakultet tehničkih nauka, Univerzitet u Novom Sadu, 2022.